

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **01-243462**
 (43)Date of publication of application : **28.09.1989**

(51)Int.Cl.

H01L 27/14

H04N 5/335

(21)Application number : **63-069372**

(71)Applicant : **HITACHI LTD**

(22)Date of filing : **25.03.1988**

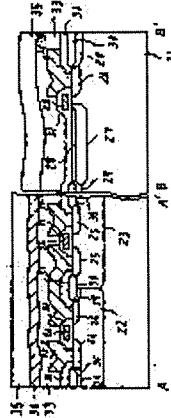
(72)Inventor : **OZAKI TOSHIBUMI
KOIKE NORIO**

(54) SOLID-STATE IMAGE SENSOR

(57)Abstract:

PURPOSE: To obtain a scanning circuit having a high degree of integration and high performance and a photoelectric conversion section having high photo-sensitivity by forming an optoelectric transducer into an impurity layer lower in concentration than an impurity layer to which a scanning means is provided.

CONSTITUTION: A scanning circuit section (A-A' section) is formed in CMOS structure composed of an N channel MOS transistor and a P channel MOS transistor. Each transistor is shaped in a P-type well 22 and an N-type well 23 in concentration higher than a P substrate 21. On the other hand, a photoelectric conversion section (B-B' section) is formed in the P-substrate 21 in low concentration. Accordingly, the degree of integration is easily improved by using a micro-transistor because the scanning circuit section (A-A' section) is formed into a high concentration impurity layer, and high photo sensitivity is acquired because the photoelectric conversion section is shaped onto the low-concentration substrate.



rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報 (A)

平1-243462

⑤Int.Cl.⁴H 01 L 27/14
H 04 N 5/335

識別記号

府内整理番号

A-7377-5F
E-8420-5C

④公開 平成1年(1989)9月28日

審査請求 未請求 請求項の数 3 (全10頁)

⑥発明の名称 固体撮像素子

⑦特 願 昭63-69372

⑧出 願 昭63(1988)3月25日

⑨発明者 尾崎俊文 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑩発明者 小池紀雄 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑪出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑫代理人 弁理士 小川勝男 外1名

明細書

1. 発明の名称

固体撮像素子

2. 特許請求の範囲

1. 同一半導体基板上に、配列された複数の光電変換素子と、この光電変換素子の信号電荷を読み出すための走査手段とからなる固体撮像素子において、上記光電変換素子は上記走査手段の形成される不純物層より低濃度の不純物層内に形成されていることを特徴とする固体撮像素子。
2. 同一半導体基板上に、配列された複数の光電変換素子と、この光電変換素子の信号電荷を増幅して読み出すための増幅回路とからなる固体撮像素子において、上記増幅回路の電源線もしくはグランド線が上記半導体基板と同一半導体基板内で接続されていることを特徴とする固体撮像素子。
3. 同一半導体基板上に、2次元状に配置された光電変換素子と、この光電変換素子の信号を読み出すための走査手段とからなる2次元状の固

体撮像素子において、上記光電変換素子がn型不純物層内に形成されることを特徴とする固体撮像素子。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、固体撮像装置に係り、特に高感度、低スヌーズを実現するのに好適な固体撮像装置に関するものである。

【従来の技術】

従来、2次元固体撮像装置の代表的な一例としてMOS型固体撮像装置が知られている (M. Ioki et al : アイエスエスシーシー・ダイジタル・オブ・テクニカル・ペーパーズ, p 26, Fed. 13, 1980)。上記従来技術は第10図に示すような回路構成によつている。第10図において、1は2次元状に配置されて光電変換を行う光電変換素子 (ホトダイオード)、2は各行を選択する垂直走査回路、3は垂直走査回路2からの選択信号を各垂直スイッチに導く垂直ゲート線、4は垂直走査回路2からの選択信号により開閉する

垂直スイッチ、5は各行の選択を行う水平走査回路、6は水平走査回路5からの選択信号により開閉する水平スイッチ、7は電子外部に設けられた增幅回路、8は垂直信号線、9は水平信号線である。上記回路はつぎの動作を行う。まず、水平プランギング期間中に、垂直走査回路2により選択された行の垂直ゲート線3の電圧が高くなり、垂直スイッチ4が開き、信号電荷がホストダイオード1から垂直信号線8に送られる。その後、水平走査期間においては、水平走査回路5が動作し水平スイッチ6が順次開閉し、信号電荷は順次水平信号線9を経て電子外部の増幅回路7により増幅され出力される。

〔発明が解決しようとする課題〕

上記MOS型固体撮像素子は、水平スイッチ6が開閉する際に水平スイッチ6の熱雑音により発生するKTC雑音、ならびに、高速の水平走査に伴い必要となる外部広帯域増幅器7の雑音の2点についての配慮がされていない。その結果、雑音が大きく、信号対雑音比（以下S/N比という）

が低いという問題があつた。さらに、一水平走査期間中に光の漏れ込み等により垂直信号線8内に発生する余剰電荷によるスマア現象に対しての考慮がなされておらず、高照度撮像時、即ち、明るい被写体を写したときに再生画の上下に白く尾を引いたような輝線が発生し、画質を著しく劣化するという問題があつた。

これに対して、垂直信号線8ごとに垂直信号線8の電位を検知し、増幅する増幅回路と、垂直信号線をリセットするリセットスイッチを備え、リセット後の空の垂直信号線8の電位と、信号がある場合の垂直信号線8の電位との差を検知し真の信号成分だけを出力する手段（以下相関2重サンプリング回路という）を設けることにより、低雑音化と低スマア化を図った固体撮像素子を、本願発明者等は提案している（特開昭62-128123号）。第10図から第13図はこの種の固体撮像素子の一例の動作を説明する図である。以下これを図に従つて説明する。

第11図は、固体撮像素子の実施例の回路構成

図を示す。図中1～6、8及び9は第10図のものと同一のものである。71は各垂直信号線の電位を検知増幅するための前置増幅回路、72は前置増幅回路71を高利得領域に設定するための自己バイアススイッチ、74はカッピング容量、73は帰還容量、75はクランプスイッチ、12はユニティゲインバッファアンプ、13～17はオフセットをキャンセルしたユニティゲインバッファ（Y.A.HAOUE et al: アイ・イー・イー・イー・ジャーナル・オブ・ソリッドステイト・サーキット Vol.SC-14, pp.961-969, Dec.1979 (IEEE J.Solid-State Circuits, Vol. SC-14 pp. 961-969, Dec.1979)）を構成しており、13はメモリ容量、14はメモリ容量13への信号書き込み用サンプルホールドスイッチ、15は信号読み出しスイッチ、16は各セットキャンセルのためのスイッチ、17は出力バッファアンプ、18、19は各アンプの電源線ならびにグランド線である。端子OUT1, OUT2は出力端子で端子VVにはユニティゲインバッファアンプの

動作に必要なバイアス電圧が端子VD, VSにはアンプの電源電圧とグランド電圧がかかる。また第12図は第11図の素子を駆動するためのパルスタイミングを示している。S1～S5は第11図の各端子にかかる電圧である。なお、本実施例は、各スイッチがNチャネルの場合であり、Pチャネルの場合はクロツク信号の極性を反転したものとすれば良い。さらに、第13図は第11図の破線で囲まれた光電変換部の一部BB'の断面図と、光電変換部以外の走査回路部の一部AA'の断面図を示す。図中、21はp-型基板、22はp型ウエル、23はn型ウエル、24はn+拡散層、25はp+拡散層、26はゲートポリシリコン、27はホトダイオードn-拡散層、28はホトダイオードp+拡散層、29はフィールド拡散層、30はフィールド酸化膜、31は層間絶縁膜、32-1はアンプ電源アルミ配線、32-2はアンプグランド第1層アルミ配線、32-3は垂直信号線アルミ配線、33は層間絶縁膜、34は遮光用第2層アルミ配線、35は保護膜である。以

下、本実施例の動作を説明する。

水平プランギング期間に入ると、まず、信号電荷がなく、スマア電荷だけがある時の各行の直流出力電圧をユニイティゲインバッファのメモリ容量 $13-1$ に読み出す。 S_1, S_2, S_3, S_5 の電位が高くなり、スイッチ $7_2, 7_5, 14-1, 16$ が開く。このとき、垂直信号線 8 はリセットされるとともに、前置増幅器 7_1 は高利得領域にバイアスされる。また、ユニイティゲインバッファアンプ 1_2 の入力端子はバイアス電圧 V_v にリセットされる。更に、出力バッファアンプ 1_7 の入力端子電圧は、出力バッファアンプ 1_7 のオフセット電圧になる(第12図の t_1)。つぎにスイッチ 7_2 が閉じ、前置増幅器 7_1 が活性化される。この時、kTC雑音により垂直信号線は V_v だけゆらぐが、スイッチ 7_5 が開いているためにバッファアンプ 1_2 以降にはこの雑音は伝わらない(第12図の t_2)。この後スイッチ 7_5 が閉じユニイティゲインバッファアンプ 1_2 が活性化され、この時刻以降の垂直信号線 8 の電

位変動が前置増幅器 7_1 とカシブリング容量 7_4 、ユニイティゲインバッファ 1_2 を介して、メモリ容量 $13-1$ に伝達される(第12図の t_3)。この後、 T_{s1} だけ時間が経過した後、スイッチ $14-1$ が閉じ、信号電荷がなく、スマア電荷だけがある時のバッファアンプ 1_2 の直流出力電圧がメモリ容量 $13-1$ の片側の電極に保持されることになる(第12図の t_4)。同様にして、信号電荷とスマア電荷のある時の直流出力電圧をユニイティゲインバッファのメモリ容量 $13-2$ に読み出す。すなわち、スイッチ $7_2, 7_5, 14-2$ が開いて垂直信号線 8 およびバッファアンプ 1_2 の入力端がリセットされる。その後、スイッチ $7_2, 7_5$ が順に閉じた後、垂直走査回路 2 により選択されたある垂直ゲート線 3 の電位が高くなり、垂直スイッチ 4 が開き、ホトダイオードより垂直信号線 8 に信号電荷が送られる。スイッチ 7_5 が閉じてから時間 T_{s2} を経過したのちスイッチ $14-2$ が閉じ、信号電荷とスマア電荷のある時のユニイティゲインバッファアンプ 1_2 の直

出力電圧が、メモリ容量 $13-2$ の片側の電極に保持されることになる。この後に、スイッチ 16 が閉じ、メモリ容量 $13-1$ 並びに $13-2$ のもう片側の電極には出力バッファアンプ 1_7 のオフセット電圧が保持されることになる。

水平走査期間に入ると、各メモリ容量に保持されたユニイティゲインバッファアンプ 1_2 の信号とスマア電荷のある時と信号がなくスマア電荷だけがある時の直流出力が順に読み出される。すなわち、水平走査回路により、ある列が(n 列とする)選択されると、 n 列の水平スイッチ $6-2$ と読み出しスイッチ $15-2$ が開き、端子OUT 2 には n 列のメモリ容量 $13-2$ に保持された n 列の信号のある時のバッファアンプ 1_2 の直流出力電圧が表わされる。また、同時に、 $n+1$ 列の水平スイッチ $6-1$ と読み出しスイッチ $15-1$ も開き、端子OUT 1 には $n+1$ 列のメモリ容量 $13-1$ に保持された $n+1$ 列の信号電荷のない時のバッファアンプ 1_2 の直流出力電圧が表わされる。そこで、端子OUT 1 の出力電圧を1クロ

ック分遅延させ、端子OUT 2 の出力電圧との差をとると、スマア電荷による垂直信号線の電位変動へ混入しない、真の信号成分を得ることができる。

本実施例によれば、垂直信号線 8 ごとに相関 2 重サンプリング回路を設けることにより、従来のMOS型固体撮像素子の一つの主雑音源であるkTC雑音の混入しない信号出力を得ることができる。また、増幅回路を垂直信号線 8 ごとに設けることにより、増幅回路の動作に必要な帯域を従来素子の増幅回路に必要とされた帯域より低くでき、従来素子のもう一つの主雑音源である増幅器の雑音を大幅に低減できる。この結果、高S/N化を図ることができる。さらに、信号に混入する余剰電荷の発生時間は自己バイアススイッチ 7_2 が閉じてから、サンプルホールドスイッチ 14 が閉じるまでの時間となり、従来の一水平走査期間に対し、大幅に低減でき、かつ、スマア電荷による垂直信号線の電位変動と、スマア電荷と信号電荷による垂直信号線の電位変動を独立に読みだし、

その差をとることによりスマートアの混合しない真の信号を得ているので、低スマートア化が可能となつてゐる。

ところで上記固体撮像素子においては、以下の3点についての考慮がなされていない。以下、各点について説明する。

第1に第3図に示す様に、上記固体撮像素子においては従来のMOS型素子と同様光電変換部と走査回路部の同一極性を持つトランジスタは同一pウェル22内に形成される。ところで、固体撮像素子の多画素化、高性能化は、走査回路部に微細な寸法を持つMOSトランジスタを使用し集積度を上げることにより実現される。集積回路技術が従つている比例縮小則によれば、寸法が $1/k$ に小さくなるとMOSトランジスタの形成される基板不純物濃度（上記固体撮像素子においてはウェル濃度）はk倍になる。以上の結果、上記固体撮像素子では高性能化多画素化をめざし微細なMOSトランジスタを用いると、走査回路部とともに光電変換部のウェル濃度も上昇する。このウ

エル濃度の上昇により、ホトダイオードの周りに形成される空乏層幅は $1/\sqrt{k}$ に小さくなる。この結果、光電変換効率すなわち、光感度の低下が生じる。

すなわち、微細化技術の使用は集積度向上には有効であるが、光感度の劣化を伴い高S/Nを達成できないという問題が生じる。なお、ここで述べた問題点は走査回路部と光電変換部が同一不純物濃度層内に形成されたMOS型、CCD型を問わず、従来の固体撮像素子一般に共通する。

第2に、上記固体撮像素子では横一列の信号を一括してメモリ容量に読み出す際、水平方向の全アンプが動作する。この時、各アンプの動作電流は、第11図矢印で示す様に端子Vdより電源線18を経て各アンプを流れグランド線19を経て端子Vsに流れ込む。この結果、電源線およびグランド線においては大きな電圧降下が起き、水平シエージングひいてはアンプの誤動作という問題が生じる。なお、この電源線とグランド線における電圧降下という問題はアナログ信号を扱うMOS

型集積回路一般に共通である。

第3に、従来の固体撮像素子と同様に第13図に示すように光電変換部はp型不純物層に形成されている。この結果、以下の2点の問題が生じる。第1に垂直信号線を形成する第1層アルミ配線に接続される拡散層24はn+不純物層；垂直スイッチはnチャネルMOSトランジスタとなつてゐる。また、一般のnチャネルMOSトランジスタと同じく、素子分離領域は、厚いフィールド酸化膜30とその直下の高濃度のフィールドp+拡散層28により形成される。このため、拡散層24とフィールドp+拡散層28の間（図示X）に、単位面積当たりの容量値の大きいn+-p+接合が形成され、この部分の容量値は全垂直信号線容量の20～30%以上を占めている。一方、本願発明者等の解析によれば、上記固体撮像素子のランダム雑音は、垂直信号線容量Cvに対して $Cv^{1/2} \sim Cv^{5/4}$ の依存性を示す。すなわち、光電変換部をp型不純物層に形成したために、垂直信号線容量が大きくなり、ランダム雑音が大きくなりS/N

N比が小さいという問題が発生している。第2に、信号電荷となるのは、p型不純物層中の少数キャリアである電子である。このために、拡散長が長く、発生したキャリアが隣接するホトダイオードにも混入し、解像度が劣化するという問題がある。特に、高精細素子の様に画素ピッチが小さくなる場合にはこの問題は重要となる。なお、以上2つの問題点は、MOS型撮像素子一般に共通する課題である。

本発明の目的は、以下の3点である。第1にMOS型、CCD型問わず一般的撮像素子において高集積かつ高性能の走査回路と高い光感度を持つ光電変換部を合せ持つ撮像素子を実現する。第2に、增幅器を内蔵するアナログ集積回路、特に固体撮像素子において電源線、グランド線における電圧降下を防ぎ、増幅器の誤動作をなくす。第3に、MOS型撮像素子において垂直信号線容量を小さくすることによりランダム雑音を低減し、高S/N化を図り、かつ、高解像度特性を達成する。

〔課題を解決するための手段〕

上記第1の目的は、走査回路部を高濃度不純物層内に、光電変換部を低濃度不純物層内に形成することにより達成される。また、上記第2の目的は、増幅器の電源線もしくはグランド線を半導体基板と素子内で接続することにより、達成される。さらに、上記第3の目的は、光電変換部をn型不純物層内に形成することにより、達成される。

〔作用〕

第1に、走査回路を比例縮小則に従い高濃度不純物層中に形成することにより、微細MOSトランジスタを使用し、走査回路を高集積高性能とすることができる。一方、光感変換部を低濃度不純物層中に形成することにより、ホトダイオード周辺の空乏層を伸ばすことができ、光感度を向上することができる。これにより、高集積高性能を持つ走査回路と、高い光感度を持つ光電変換部を合せ持つ固体撮像素子を実現できる。

第2に、アンプの電源線あるいはグランド線を半導体基板と素子内で接続することにより、アン

プ動作電流は半導体表面に配線された配線層ではなく基板より、裏面に流れる。各アンプの動作電流は小さく、かつ、裏面までの基板の持つ抵抗も小さいために、各アンプの電源線もしくはグランド線までの電圧降下は小さく、アンプの誤動作を防ぐことができる。

第3に、光電変換部をn型不純物層内に形成することにより、まず光電変換部に形成されるトランジスタをpチャネルとすることができます。これにより、フィールド部に高濃度の拡散層を設けることなく、素子分離が可能となり、垂直信号線容量を小さくし、ランダム雑音を低減できる。さらに、信号電荷を拡散長の短いホールとでき、高解像度特性を得ることができる。

〔実施例〕

以下、第1の本発明の一実施例を第1図により説明する。第1図において、21～35は第13図と同じである。本実施例では、走査回路部(A-A'部)は、nチャネルMOSトランジスタとpチャネルMOSトランジスタで構成される

cMOS構造になっている。各トランジスタはp基板21より濃度の高いp型ウエル22とn型ウエル23内に形成されている。一方、光電変換部(B-B'部)は、濃度の低いp-基板21内に形成されている。本実施例によれば、走査回路部は高濃度不純物層内に形成されるので微細トランジスタを用い、高集積化を容易に図ることができ、光電変換部は低濃度基板上に形成されるので高い光感度を得ることができる。また、本実施例では、光電変換部に特別な不純物を形成する必要がないので、工程数も従来と全く同様にできるという利点も有している。

なお、本実施例では基板がp型の場合を述べたがn型の場合も各不純物層の極性を逆にすれば全く同様である。

さらに、走査回路部がcMOS構造の場合を述べたが、nMOSだけで構成される場合でも、pMOSだけで構成される場合でも本発明の効果に変わりはない。

また、光電変換部に基板より濃度が高く、かつ

走査回路部より低濃度の基板と同型不純物層からなるウエル層を形成してもよい。この様な素子構造を具体化した実施例を第2図に示す。第2図(a)において、aは基板21の上部に設けた基板と同型かつ基板より不純物濃度の濃い不純物層である。この層はp型不純物の拡散によって形成してもよいし、或いは基板21の上部にエピタキシャル成長によって形成するようにしてもよい。また、22、23は各々不純物層aより濃度の高いPウエル、Nウエルである。ここで、各不純物層の深さは必要とする分光感度特性、耐圧等の観点から所望の値に選べばよく、 $W_{PD} = W_{SC}$ 、 $W_{PD} > W_{SC}$ 、或いは $W_{PD} < W_{SC}$ など如何なる関係に設定してもよい。

第2図(b)においてbは基板深部で発生した電荷が光電変換領域に入込み、スマア、暗電流、解像度の劣化などが発生するのを防止するために設けた不純物層である。この埋込み層は基板と同型かつ埋込み基板より不純物濃度が高い層であり、本層より深部で発生した電荷は本層と基板の作る

電位障壁によって本層より上部に拡散することはできなくなる。本層の深さも必要とする分光感度特性等から所望の値に選べばよく、 $W_{PD} \geq W_{Sc}$, $W_{PD} < W_{Sc}$ など如何なる関係に設定してもよい。また、本層は光電変換領域だけでなく走査回路領域まで拡散し素子全体に渡って設けるようにしても支障はない。

つぎに、第1の本発明の他の実施例を第3図により説明する。22～35は第13図と同じである。41はn型基板、42はp-ウエルである。本実施例では、光電変換部(B-B'部)は基板とは逆極性を持ち、かつ走査回路部より濃度の低いウエル内に形成される。本実施例によれば、高集積な走査回路と高い光感度を持つ撮像素子を実現できる。

なお、基板がp型の場合も各不純物層の極性を逆にすれば全く同様である。

さらに、走査回路はnMOSだけあるいはpMOSだけでもよい。

なお、以上の第1の本発明の実施例はMOS型

の場合を述べたがCCD型撮像素子にも適用できることは言うまでもない。

第4図に、第2の本発明の実施例を示す。図中、21～35は第13図と同じである。本実施例では、走査回路部のp型ウエル22内に形成されるnMOSトランジスタのソースに接続されたアンプグランド線44は基板コンタクトp+層43を介しp型ウエル22p-型基板21に接続される。このコンタクトは水平方向に並んだ各アンプごとに設けられる。電源線32-1よりアンプを構成する各トランジスタを貫通して流れる電流はアンプグランド線44基板コンタクトp+層43, p型ウエルを経てp-基板に流れ裏面に到達する(図中矢印で示す)。基板コンタクトp+層から裏面までの抵抗は小さく、かつ流れる電流もアンプ一段分であるので、この間の電圧降下は無視できるほど小さい。したがって、本実施例によれば、グランド線における電圧降下を防ぎ、アンプの誤動作を防ぐことができる。また、グランド線44を水平方向に走らせる必要がなくなり、素子の高

集積化にも有効である。

なお、本実施例においては、p基板の場合を述べたが、n基板の場合は、基板電圧が素子の中でも最大となるので、アンプ電源線と基板を接続すればよい。

第5図に、第2の本発明の他の実施例を示す。図中、21～35は第13図と、43, 44は第4図と同じである。アンプ電源線32-1は、スルーホール45を介して、走査回路部の誤動作を防ぐために設けられた遮光用第2層アルミ配線に接続される。この結果、本実施例では面積の増加なく電源線の幅を広げることができ、電源線における電圧降下も防ぐことができる。

なお、グランド線でも同様な効果が得られることは言うまでもない。

また、第2の本発明は、固体撮像素子に限らず、アンプを有するアナログ信号を扱う集積回路一般に適用できる。

第6図に、第3の本発明の実施例を示す。図中、25, 26, 30～33, 35は第13図と同じ

で51はn-基板、52はホトダイオードp-拡散層、53はホトダイオードn+拡散層である。光電変換部はn型不純物層内に形成されているため、素子分離領域に高濃度不純物層を形成する必要がない。この結果、本実施例では、垂直信号線32-3に接続されるp+拡散層間にには両側が高濃度の接合が形成されることなく、垂直信号線容量を小さくでき、ランダム雑音を低減できる。さらに、信号電荷は、n基板中の少数キャリアであるホールとなり、電子に比し拡散長が短いために、高い解像度特性を得ることができる。

なお、n+拡散層53はなくてもよい。p-拡散層52の下部に形成されてもよいし、拡散層52は高濃度層であつてもよい。

第7図に、第3の本発明の他の実施例を示す。図中、25, 26, 30, 31, 33, 35は第13図と同じで、51～53は第6図と同じで、55は、垂直信号線第2層アルミ配線54とp+拡散層25とのコンタクトを取るための第1層アルミ配線である。本実施例によれば、垂直信号線

に第2層アルミ配線を用いることにより、配線と基板間の絶縁層の厚さdを厚くでき、垂直信号線容量を小さくし、さらに、ランダム雑音を低減できる。

さて、第6図並びに第7図の実施例で示した上部に基板と同極性の高濃度層を有した基板と逆極性の低濃度拡散層により構成されたホトダイオード構造は、暗電流が低く、信号読み出し時に空乏化するためにリセット雑音が発生しないというすぐれた特性を持つている。しかし、CCD型素子では低濃度拡散層が読み出しポリシリコンゲート下に入る部分にポテンシャルの井戸が発生し残像の原因となる。これに対して本発明で述べた構造の特に読み出しゲートのホトダイオードとは逆の部分（以下、読み出し部）に信号電荷と同極性の多数キヤリアが存在している場合には、読み出しゲートのオン時電位を読み出し部電位より低くすることにより、この問題を解決できる。以下、第8図により説明する。第8図(a)は、第7図と同じ光電変換部の断面図、同図(b)(c)(d)

はそれぞれ信号電荷蓄積時、信号読み出し時、信号読み出し終了時の各部の信号電荷（ホール）に対する電位を示す図である。図中 Q_s 、 Q_n は信号電荷と残留電荷を示す。以下、動作を説明する。信号電荷蓄積時には、ホトダイオードには残留電荷 Q_n と信号電荷 Q_s が蓄積され、垂直信号線には信号電荷と同極性の多数キヤリアが存在している（第8図(a)）。信号読み出し時には、読み出しゲートオン時電圧が垂直信号線電位より高くなり、残留電荷 Q_n は、同図(a)のYに示す低濃度拡散層52が読み出しゲート下に入つた部分に形成されるポテンシャル井戸に入り、信号電荷 Q_s は大きな容量を持つ垂直信号線内に広がる（第8図(b)）。ついで、読み出しゲートがオフすると、ポテンシャル井戸内の残留電荷 Q_n だけが再びホトダイオードに戻る（第8図(c)）。2次元固体撮像素子においては、以下の動作がくり返されるが、残像の原因となるポテンシャル井戸内に存在する残留電荷 Q_n は、常にホトダイオードとポテンシャル井戸間を往復するだけで、何

ら素子外部に読み出されることはない。従つて、従来CCD型素子で問題となつた残像は発生することはない。なお、本実施例で述べた効果は、キヤリアの極性によらず適用できる。また、ホトダイオード上部に基板と同極性の高濃度層を有していないなくてもよい。さらに、読み出し部が垂直信号線でなくとも、信号と同極性の多数キヤリアが存在していればよい。

第9図に第3の本発明の別の実施例を示す。本例は、各画素ごとに増幅器を持つ固体撮像素子（安藤ほか：1986年テレビジョン学会全国大会予稿集P.P.51-P.P.52）本発明を適用した例である。図中、25、30、31、33、35は第11図と同じ、51はn-型基板、25-1はp+ホトダイオード拡散層、26-2は増幅器ドライバトランジスタゲートポリシリコン、26-3はリセットトランジスタゲートポリシリコンである。本実施例においては増幅器ドライバトランジスタがpMOSで構成されているために、nMOSトランジスタに比し1/f雑音が小さく

低雑音化が図れる。なお、本実施例は、各画素ごとに設けられた増幅器の具体的形態によらずドライバトランジスタがpMOSであれば適用できる。

なお、第3の本発明はMOS型、画素増幅型素子ばかりでなく、CCD型素子に適用することに解像度向上を図ることができる。

【発明の効果】

第1の本発明によれば、走査回路部を高集成化し、かつ、光電変換部における光感度を高くすることができるので、多画素かつ高感度な固体撮像素子を実現できる。第2の本発明によれば、アンプの電源線あるいはグランド線における電圧降下を小さくできるので、素子に内蔵されたアンプの誤動作を防ぐことができる。第3の本発明によれば、垂直信号線容量を小さくし、かつ、拡散長の短いホールを信号電荷として使えるので、低ランダム雑音、かつ、高解像度な撮像素子を実現できる。

4. 図面の簡単な説明

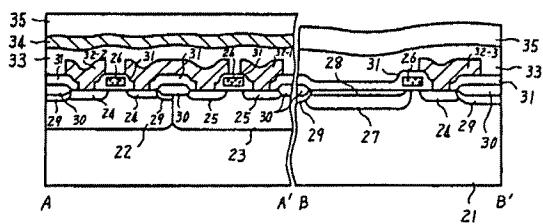
第1図は第1の本発明の一実施例の走査回路部

と光電変換部の断面構造を示す図、第2図及び第3図は本第1の本発明の他の実施例の走査回路部と光電変換部の断面構造を示す図、第4図は第2の本発明の一実施例の走査回路部の断面構造を示す図、第5図は第2の本発明の他の実施例の走査回路部の断面構造を示す図、第6図は第3の本発明の一実施例の光電変換部の断面構造を示す図、第7図及び第9図は本第3の発明の他の実施例の光電変換部の断面構造を示す図、第8図は光電変換部の断面構造と残留の発生しない駆動法を説明するための電位分布を示す図、第10図及び第11図は従来のMOS型固体撮像素子の回路構成を示す図、第12図は第10図の素子の駆動パルスのタイミングチャートを示す図、第13図は第9図の素子のA-A' B-B'の断面図である。

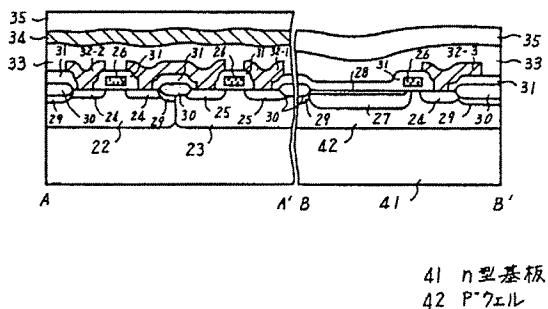
21…p-基板、22…p型ウエル、23…n型ウエル、24…n+拡散層、25…p+拡散層、
26…ゲートポリシリコン、27…ホトダイオードn-拡散層、28…ホトダイオードp+拡散層、
29…フィールドp+拡散層、30…フィールド
31…層間絶縁膜、32-1…アンプ電源第一層アルミ配線、32-2…アンプグランド第一層アルミ配線、32-3…垂直信号線第一層アルミ配線、33…層間絶縁膜、34…遮光用第二層アルミ配線、35…保護膜、41…n型基板、42…p-ウエル、43…基板コンタクトp+層、44…アンプグランド配線、45…スルーホール、51…n型基板、52…ホトダイオードp-拡散層、53…ホトダイオードn+拡散層、54…垂直信号線第二層アルミ配線、55…コンタクト用第一層アルミ配線。

代理人 弁理士 小川勝利

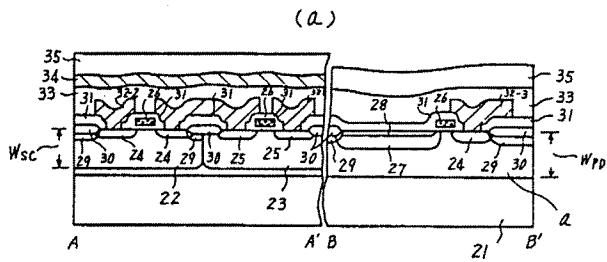
第1図



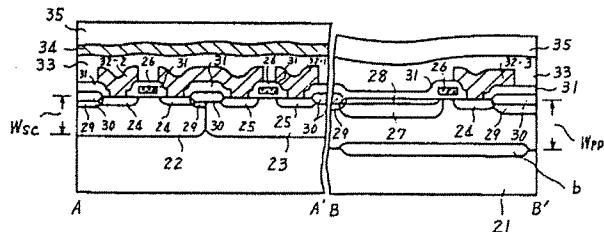
第3図



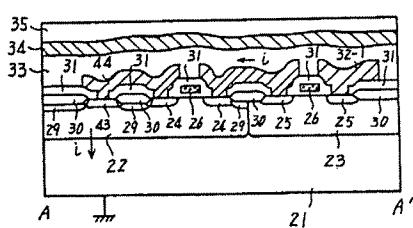
第2図



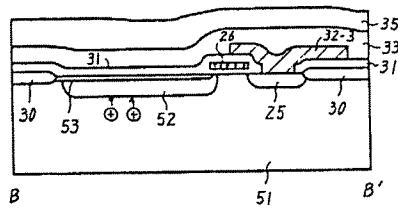
(a)



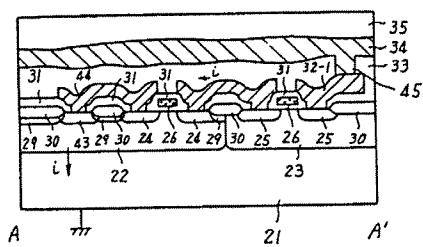
第 4 因



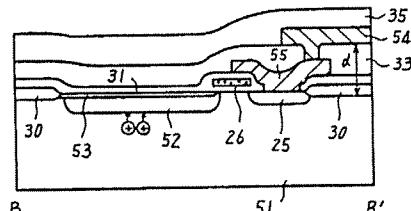
第 6 図



第 5 図



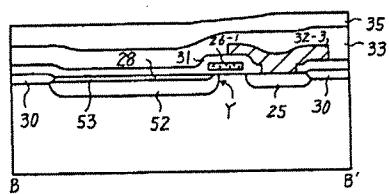
第 7 因



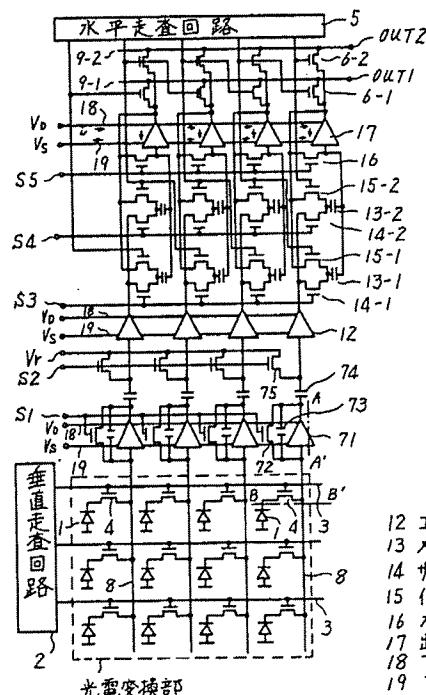
51 n-型基板
 52 ホトアハイドP_x拡散層
 53 ホトアハイドP_x拡散層
 54 垂直信号線第2層アルミ配線
 55 コンタクト用第1層アルミ配線

第 8 回

(a)



第十一回

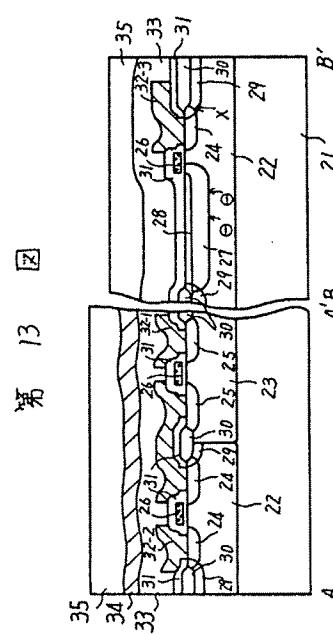
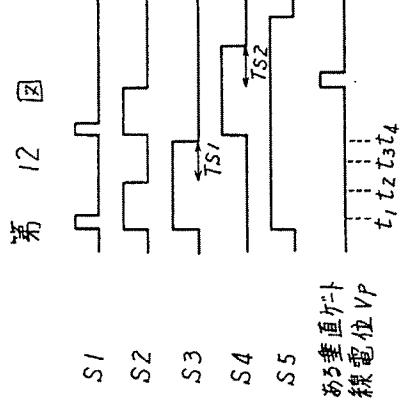


- 12 コードイギングバックアンド
- 13 メモリ容量
- 14 サンプルホールドスイッチ
- 15 信号読出し用スイッチ
- 16 オペレーティングセルスイッチ
- 17 出力カバーケーブル
- 18 アンダ電源線
- 19 ハフマンコード線
- 21 前置増幅器
- 72 自己ペイクスイッチ
- 73 時差容量
- 74 カップリング容量
- 75 フランジスイッチ

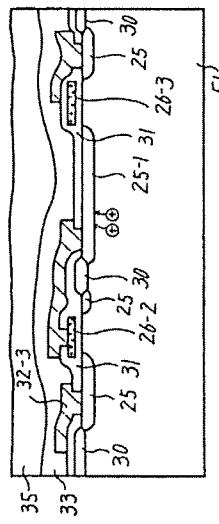
(b)  基板電位

Diagram (d) shows a stepped potential barrier. The top part of the barrier is labeled Q_n . The bottom part is labeled Q_s . A hatched rectangular region is shown at the base of the barrier.

Q_s 信号電荷
 Q_n 残留電荷
26-1 讀み出しねー



第 9 図



第 10 図

